

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-044449

(43)Date of publication of application : 16.02.1996

(51)Int.Cl.

G05F 3/30
G05F 1/56

(21)Application number : 06-175444

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.07.1994

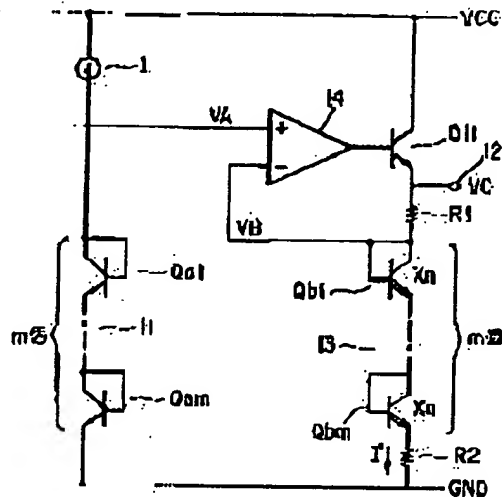
(72)Inventor : ITO MASA

(54) CONSTANT VOLTAGE CIRCUIT

(57)Abstract:

PURPOSE: To reduce the temperature variation of output voltage and the generation of output noise and to make a constant voltage circuit adaptable to an integrated circuit.

CONSTITUTION: The constant voltage circuit is provided with a 1st serial circuit 11 consisting of (m) ((m) is positive integer) diode-connected transistors (TRs) Qa1 to Qam connected in series, a constant current source I inserted between the circuit 11 and the node of a power supply potential Vcc, a 2nd serial circuit 13 having an emitter area (n) times that of the respective TRs Qa1 to Qam in the circuit 11 and consisting of (m) diode-connected TRs Qb1 to Qbm connected mutually in series, a resistor R2 connected between the circuit 13 and the node of a reference potential GND, a differential amplifier circuit 14, and a resistor R1 inserted between the output terminal of the circuit 14 and the circuit 13.



LEGAL STATUS

[Date of request for examination] 28.02.2000

[Date of sending the examiner's decision of rejection] 06.08.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2002-17217

[Date of requesting appeal against examiner's decision of rejection] 05.09.2002

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-44449

(43)公開日 平成8年(1996)2月16日

(51) IntCL⁹

G O S F 3/30
1/56

識別記号

片内整理番号
4237-5H

FI

技術表示箇所

310 D

審査請求 未請求 請求項の数12 OL (全 10 頁)

(21) 出願番号

特願平6-175444

(22) 出願日

平成6年(1994)7月27日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 究明者 伊藤 雅

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

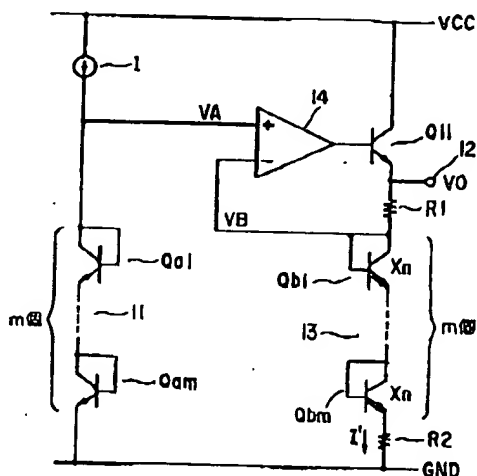
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 定電圧回路

(57) 【要約】

【目的】この発明の定電圧回路は、出力電圧の温度変動が小さく、出力ノイズの低減化を図ることができ、かつ集積回路化に適していることを特徴とする。

【構成】直列接続された m 個（ m は正の整数）のダイオード接続されたトランジスタ $Qa1 \sim Qam$ からなる第1の直列回路11と、第1の直列回路11と電源電位 V_{cc} のノードとの間に挿入された定電流源 I と、それぞれ第1の直列回路11内のトランジスタ $Qa1 \sim Qam$ の n 倍のエミッタ面積を有し、直列接続された m 個のダイオード接続されたトランジスタ $Qb1 \sim Qbm$ からなる第2の直列回路13と、第2の直列回路13と基準電位 GND のノードとの間に接続された抵抗 $R2$ と、差動増幅回路14と、差動増幅回路14の出力端子と第2の直列回路13との間に挿入された抵抗 $R1$ とを具備したことを特徴とする。



【特許請求の範囲】

【請求項1】 直列接続された m 個 (m は正の整数)の第1のダイオード素子からなり、一端が基準電位に接続された第1の直列回路と、

上記第1の直列回路の他端と電源電位との間に挿入された電流源と、

それぞれ上記第1の直列回路内の第1のダイオード素子の電流密度の $1/n$ 倍 ($n > 1$)の電流密度を有し、直列接続された m 個の第2のダイオード素子からなる第2の直列回路と、

上記第2の直列回路の一端と基準電位との間に接続された第1の抵抗と、

入力端子、帰還端子及び出力端子を有し、入力端子に上記第1の直列回路の他端が接続され、帰還端子に上記第2の直列回路の他端が接続された差動増幅回路と、
上記差動増幅回路の出力端子と上記第2の直列回路の他端との間に挿入された第2の抵抗とを具備したことを特徴とする定電圧回路。

【請求項2】 前記第1、第2の各ダイオード素子のそれぞれが、コレクタ、エミッタ及びベースを有し、ベース・コレクタ間が短絡された $n p n$ トランジスタで構成されていることを特徴とする請求項1に記載の定電圧回路。

【請求項3】 前記 $n p n$ トランジスタのエミッタ面積を異ならせることにより前記各第2のダイオード素子の電流密度を前記各第1のダイオード素子の電流密度の $1/n$ 倍となるように設定したことを特徴とする請求項2に記載の定電圧回路。

【請求項4】 直列接続された m 個 (m は正の整数)の第1のダイオード素子からなり、一端が基準電位に接続された第1の直列回路と、

上記第1の直列回路の他端と電源電位との間に挿入された電流源と、

それぞれ上記第1の直列回路内の第1のダイオード素子の電流密度の $1/n$ 倍 ($n > 1$)の電流密度を有し、直列接続された m 個の第2のダイオード素子からなる第2の直列回路と、

上記第2の直列回路の一端と基準電位との間に接続された第1の抵抗と、

入力端子、帰還端子及び出力端子を有し、入力端子に上記第1の直列回路の他端が接続され、帰還端子に上記第2の直列回路の他端が接続された差動増幅回路と、
コレクタ、エミッタ及びベースを有し、コレクタが電源電位に接続され、ベースが上記差動増幅回路の出力端子に接続された出力用のトランジスタと、

上記出力用のトランジスタのエミッタと上記第2の直列回路の他端との間に挿入された第2の抵抗とを具備したことを特徴とする定電圧回路。

【請求項5】 前記第1、第2の各ダイオード素子のそれぞれが、コレクタ、エミッタ及びベースを有し、ベ-

ース・コレクタ間が短絡された $n p n$ トランジスタで構成されていることを特徴とする請求項4に記載の定電圧回路。

【請求項6】 前記 $n p n$ トランジスタのエミッタ面積を異ならせることにより前記各第2のダイオード素子の電流密度を前記各第1のダイオード素子の電流密度の $1/n$ 倍となるように設定したことを特徴とする請求項5に記載の定電圧回路。

【請求項7】 直列接続された m 個 (m は正の整数)の第1のダイオード素子からなり、一端が基準電位に接続された第1の直列回路と、

上記第1の直列回路の他端と電源電位との間に挿入された電流源と、

それぞれ上記第1の直列回路内の第1のダイオード素子の電流密度の $1/n$ 倍 ($n > 1$)の電流密度を有し、直列接続された m 個の第2のダイオード素子からなる第2の直列回路と、

上記第2の直列回路の一端と基準電位との間に接続された第1の抵抗と、

入力端子、帰還端子及び出力端子を有し、入力端子に上記第1の直列回路の他端が接続され、帰還端子に上記第2の直列回路の他端が接続された差動増幅回路と、

コレクタ、エミッタ及びベースを有し、コレクタが電源電位に接続された出力用のトランジスタと、
上記差動増幅回路の出力端子と上記出力用のトランジスタのベースとの間に挿入されたローパスフィルタ回路と、

上記出力用のトランジスタのエミッタと上記第2の直列回路の他端との間に挿入された第2の抵抗とを具備したことを特徴とする定電圧回路。

【請求項8】 前記第1、第2の各ダイオード素子のそれぞれが、コレクタ、エミッタ及びベースを有し、ベース・コレクタ間が短絡された $n p n$ トランジスタで構成されていることを特徴とする請求項7に記載の定電圧回路。

【請求項9】 前記 $n p n$ トランジスタのエミッタ面積を異ならせることにより前記各第2のダイオード素子の電流密度を前記各第1のダイオード素子の電流密度の $1/n$ 倍となるように設定したことを特徴とする請求項8に記載の定電圧回路。

【請求項10】 直列接続された m 個 (m は正の整数)の第1のダイオード素子からなり、一端が基準電位に接続された第1の直列回路と、

上記第1の直列回路の他端と電源電位との間に挿入された電流源と、

それぞれ上記第1の直列回路内の第1のダイオード素子の電流密度の $1/n$ 倍 ($n > 1$)の電流密度を有し、直列接続された m 個の第2のダイオード素子からなる第2の直列回路と、

上記第2の直列回路の一端と基準電位との間に接続され

た第1の抵抗と、

入力端子、帰還端子及び出力端子を有し、入力端子に上記第1の直列回路の他端が接続され、帰還端子に上記第2の直列回路の他端が接続された差動増幅回路と、コレクタ、エミッタ及びベースを有し、コレクタが電源電位に接続された出力用のトランジスタと、上記差動増幅回路の出力端子と上記出力用のトランジスタのベースとの間に挿入された積分回路と、上記出力用のトランジスタのエミッタと上記第2の直列回路の他端との間に挿入された第2の抵抗とを具備したことを特徴とする定電圧回路。

【請求項11】 前記第1、第2の各ダイオード素子のそれぞれが、コレクタ、エミッタ及びベースを有し、ベース・コレクタ間が短絡されたnpnトランジスタで構成されていることを特徴とする請求項10に記載の定電圧回路。

【請求項12】 前記npnトランジスタのエミッタ面積を異ならせることにより前記各第2のダイオード素子の電流密度を前記各第1のダイオード素子の電流密度の $1/n$ 倍となるように設定したことを特徴とする請求項11に記載の定電圧回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体集積回路に内蔵され、特に出力ノイズの低減化が図られた定電圧回路に関する。

【0002】

【従来の技術】 出力電圧の温度変動が小さな定電圧源として、従来ではバンドギャップ型定電圧源が良く知られており、図10はその一回路例を示している。この定電圧源はnpnトランジスタQ31～Q34、定電流源I及び抵抗R31、R32を用いて構成されており、トランジスタQ31のエミッタ面積がトランジスタQ32のそれに対して

$$\begin{aligned} V_0 &= \{1 + (R_B / R_A)\} V_{BG} \\ &= \{1 + (R_B / R_A)\} \{V_{BE} + (R_{32} / R_{31}) \ln n \cdot V_T \cdots 1 \\ v_{no}^2 &= [\{1 + (R_B / R_A)\} V_{nbg}]^2 + v_{na}^2 \cdots 2 \end{aligned}$$

(v_{na} は閉ループにおける増幅回路自体の出力ノイズ) 上記2式から明らかなように、増幅回路自体の出力ノイズ v_{na} が仮に0であるとしても、 v_{no} は $\{1 + (R_B / R_A)\} V_{nbg}$ となり、 V_{nbg} は増幅回路のゲイン倍増幅されて出力される。従って、特に高電圧を得るために増幅回路のゲインを上げると、それに比例してバンドギャップ電圧に含まれるノイズも増幅され、出力ノイズが増大することになる。

【0007】そこで、上記のような出力ノイズを低減させるために、例えば、図12に示すように、バンドギャップ型定電圧源22と増幅回路との間にロウパスフィルタ23を挿入することが考えられる。ノイズ低減のためには、ロウパスフィルタ23を構成する抵抗Rと容量Cの値に対応した時定数を大きくする必要がある。しかし、C

n倍となるように設定されている。この定電圧源では、抵抗R32の両端にトランジスタの熱起電力 V_T 、トランジスタQ31とQ32のエミッタ面積比 n 及び抵抗R31とR32の抵抗比に応じた電圧降下 $(R_{32} / R_{31}) \ln n \cdot V_T$ が発生し、この電圧降下とトランジスタQ34のベース・エミッタ間電圧 V_{BE} との和の電圧である $V_{BE} + (R_{32} / R_{31}) \ln n \cdot V_T$ がバンドギャップ電圧 V_{BG} として出力される。

【0003】ここで、トランジスタのベース・エミッタ間電圧 V_{BE} は負の温度係数を持ち、他方、トランジスタの熱起電力 V_T は正の温度係数を持つため、上記のエミッタ面積比 n 及び抵抗比 (R_{32} / R_{31}) を調整することにより、電圧 V_{BG} の温度係数を極小にすることができる。従って、この電圧源では出力電圧の温度変動を良好とすることができる。

【0004】しかし、内部に正帰還ループを有するため出力ノイズが大きいという欠点を持ち、特に高周波雑音については、周知のツェナーダイオードを用いた定電圧源に比べて約1桁程度高いことが知られている。

【0005】また、バンドギャップ型定電圧源では、温度係数が極小となる出力電圧はおおよそ1～1.5Vの範囲に存在し、その値は比較的小さいため、通常、定電圧回路として使用する場合には、図11に示すように、増幅器21及び抵抗 R_A 、 R_B からなる増幅回路を用いて所定の電圧まで増幅する必要がある。この場合、バンドギャップ型定電圧源22で得られるバンドギャップ電圧 V_{BG} は増幅回路で増幅されて、所望する値の出力電圧 V_0 が得られる。しかし、同時にバンドギャップ電圧に含まれるノイズも同様に増幅されるため、出力ノイズが増加するという問題がある。

【0006】いま、バンドギャップ電圧に含まれるノイズ電圧を v_{nbg} 、出力電圧 V_0 に含まれるノイズ電圧を v_{no} とすると、次式が得られる。

の値を大きくすると、リーク電流により抵抗Rに電圧降下が生じて出力電圧 V_0 の誤差が大きくなり、他方、抵抗Rの値を大きくすると、増幅器21の入力電流が抵抗Rに流れるために上記と同様に抵抗Rに電圧降下が生じて出力電圧 V_0 の誤差が大きくなる。また、集積回路化に際し、大きな値の抵抗や容量を集積回路内部に取り込むことが困難であるため、抵抗R及び容量Cを外付けするための外部端子が新たに必要となる。

【0008】さらに、出力ノイズを低減させる従来技術として、例えば「日経エレクトロニクス 1989.

2, 8号 (no. 466)」の第256頁～第261頁に記載されている「プロフェッショナル トラブル シューティング」基準電圧源ICの雑音を低減」が知られている。この技術は図13に示すように、同値の出

力電圧を有する複数個の基準電圧源31~34の出力電圧を各抵抗35を介してバッファ・アンプ36の入力端子に供給し、バッファ・アンプ36の出力側でかつ帰還ループ内に抵抗R及び容量Cからなるフィルタ37を置くことにより、基準電圧源からの雑音とバッファ・アンプ自体が発生する雑音の両方を低減するものである。しかしながら、この技術では複数個の基準電圧源が必要になり、集積回路化を考えた場合にチップ面積の増大を招き、集積回路化には不向きである。

【0009】

【発明が解決しようとする課題】上記のように従来では、出力電圧の温度変動を小さくすることはできるが、所望する値の出力電圧を得ようとした場合には出力ノイズが増大し、出力ノイズを低減させようとすると集積回路化が困難になるという欠点がある。

【0010】この発明は上記のような事情を考慮してなされたものであり、その目的は、出力電圧の温度変動が小さく、出力ノイズの低減化を図ることができ、かつ集積回路化に適した定電圧回路を提供することにある。

【0011】

【課題を解決するための手段】この発明の定電圧回路は、直列接続された m 個（ m は正の整数）の第1のダイオード素子からなり、一端が基準電位に接続された第1の直列回路と、上記第1の直列回路の他端と電源電位との間に挿入された電流源と、それぞれ上記第1の直列回路内の第1のダイオード素子の電流密度の $1/n$ 倍（ $n > 1$ ）の電流密度を有し、直列接続された m 個の第2のダイオード素子からなる第2の直列回路と、上記第2の直列回路の一端と基準電位との間に接続された第1の抵抗と、入力端子、帰還端子及び出力端子を有し、入力端子に上記第1の直列回路の他端が接続され、帰還端子に上記第2の直列回路の他端が接続された差動増幅回路と、上記差動増幅回路の出力端子と上記第2の直列回路の他端との間に挿入された第2の抵抗とを具備したことを特徴とする。

【0012】この発明の定電圧回路は、直列接続された m 個（ m は正の整数）の第1のダイオード素子からなり、一端が基準電位に接続された第1の直列回路と、上記第1の直列回路の他端と電源電位との間に挿入された電流源と、それぞれ上記第1の直列回路内の第1のダイオード素子の電流密度の $1/n$ 倍（ $n > 1$ ）の電流密度を有し、直列接続された m 個の第2のダイオード素子からなる第2の直列回路と、上記第2の直列回路の一端と基準電位との間に接続された第1の抵抗と、入力端子、帰還端子及び出力端子を有し、入力端子に上記第1の直列回路の他端が接続され、帰還端子に上記第2の直列回路の他端が接続された差動増幅回路と、コレクタ、エミッタ及びベースを有し、コレクタが電源電位に接続され、ベースが上記差動増幅回路の出力端子に接続された出力用のトランジスタと、上記出力用のトランジスタの

エミッタと上記第2の直列回路の他端との間に挿入された第2の抵抗とを具備したことを特徴とする。

【0013】この発明の定電圧回路は、直列接続された m 個（ m は正の整数）の第1のダイオード素子からなり、一端が基準電位に接続された第1の直列回路と、上記第1の直列回路の他端と電源電位との間に挿入された電流源と、それぞれ上記第1の直列回路内の第1のダイオード素子の電流密度の $1/n$ 倍（ $n > 1$ ）の電流密度を有し、直列接続された m 個の第2のダイオード素子からなる第2の直列回路と、上記第2の直列回路の一端と基準電位との間に接続された第1の抵抗と、入力端子、帰還端子及び出力端子を有し、入力端子に上記第1の直列回路の他端が接続され、帰還端子に上記第2の直列回路の他端が接続された差動増幅回路と、コレクタ、エミッタ及びベースを有し、コレクタが電源電位に接続された出力用のトランジスタと、上記差動増幅回路の出力端子と上記出力用のトランジスタのベースとの間に挿入された積分回路と、上記出力用のトランジスタのエミッタと上記第2の直列回路の他端との間に挿入された第2の抵抗とを具備したことを特徴とする。

【0014】

【作用】差動増幅回路の帰還端子には入力端子と同じ電圧が発生する。入力端子の電圧は第1の直列回路内の直列接続された m 個の第1のダイオード素子の各順方向電圧の総和となる。一方、帰還端子の電圧は第2の直列回路内の直列接続された m 個の第2のダイオード素子の各順方向電圧の総和と第1の抵抗における降下電圧との和になり、上記のようにこの電圧は差動増幅回路の入力端子に供給される電圧と同じ値になる。また、定電圧の出力端子と第2の直列回路との間には第2の抵抗が接続されているので、定電圧出力の値は差動増幅回路の入力端子に供給される電圧と第2の抵抗における降下電圧との和になる。第2の直列回路内の m 個の第2のダイオード素子の電流密度が第1の直列回路内の m 個の第1のダイオード素子の電流密度の $1/n$ 倍にされているので、定電圧出力の値は上記第1及び第2のダイオード素子の電流密度の差に基づいて発生する電圧と、ダイオード素子の順方向電圧との和の電圧に比例したものとなる。

【0015】

【実施例】以下、図面を参照してこの発明を実施例により説明する。図1はこの発明の定電圧回路の第1の実施例の回路図である。正の電源電位 V_{cc} のノードには定電流源Iの一端が接続されている。この定電流源Iの他端と基準電位GNDのノードとの間には、それぞれコレクタ、エミッタ及びベースを有し、各ベース・コレクタ間が短絡されてダイオード接続された m 個（ m は正の整数）の $n p n$ トランジスタ $Q_{a1} \sim Q_{am}$ が直列に接続された第1の直列回路11が挿入されている。なお、上記第1の直列回路11内の m 個の各 $n p n$ トランジスタ $Q_{a1} \sim Q_{am}$ のエミッタ面積は全て等しくされている。また、電源

電位 V_{oc} のノードには定電圧出力用の $n p n$ トランジスタ Q_{11} のコレクタが接続されている。このトランジスタ Q_{11} のエミッタは出力電圧 V_0 を得るための出力端子12に接続されている。上記出力端子12には抵抗 R_1 の一端が接続されている。他方、基準電位 GND のノードには抵抗 R_2 の一端が接続されている。そして、上記抵抗 R_1 の他端と抵抗 R_2 の他端との間には、それぞれコレクタ、エミッタ及びベースを有し、各ベース・コレクタ間が短絡されてダイオード接続された m 個の $n p n$ トランジスタ $Q_{b1} \sim Q_{bm}$ が直列に接続された第2の直列回路13が挿入されている。上記第2の直列回路13内の m 個の各トランジスタ $Q_{b1} \sim Q_{bm}$ のエミッタ面積は全て等しくされ、かつそれぞれのエミッタ面積は上記第1の直列回路11内の各トランジスタ $Q_{a1} \sim Q_{am}$ のエミッタ面積の n 倍($n > 1$)に設定されている。すなわち、上記各トランジスタ $Q_{b1} \sim Q_{bm}$ それぞれの電流密度は、上記各トランジスタ $Q_{a1} \sim Q_{am}$ それぞれの電流密度の $1/n$ 倍に設定されている。

【0016】一方、この実施例の定電圧回路では、入力端子(+)、帰還端子(-)及び出力端子を有する差動増幅回路14が設けられており、その入力端子(+)は上記第1の直列回路11と定電流源 I との共通接続ノードに接続され、帰還端子(-)は上記第2の直列回路13と抵抗 R_1 との共通接続ノードに接続され、さらに出力端子は上記出力用のトランジスタ Q_{11} のベースに接続されている。

【0017】ここで、上記第1の直列回路11内の各トランジスタ $Q_{a1} \sim Q_{am}$ 及び第2の直列回路13内の各トランジスタ $Q_{b1} \sim Q_{bm}$ はそれぞれ等価的にダイオードとして作用し、定電流源 I の電流が第1の直列回路11内の m 個のトランジスタ $Q_{a1} \sim Q_{am}$ に流れることにより、差動増幅回路14の入力端子には m 個の等価ダイオードの順方向電圧 V_{BE} の m 倍の電圧 $m V_{BE}$ が発生する。また、差動増幅回路14の負帰還作用により、帰還端子には入力端子に供給されるものと同値の電圧が発生する。

【0018】第2の直列回路13内の m 個の各トランジスタ $Q_{b1} \sim Q_{bm}$ のエミッタ面積は第1の直列回路11内の m 個のトランジスタ $Q_{a1} \sim Q_{am}$ のエミッタ面積の n 倍に設定されており、各トランジスタ $Q_{b1} \sim Q_{bm}$ からなる等価ダイオードの順方向電圧を V_{BE}' とすると、第2の直列回路13の両端間には $m V_{BE}'$ の電圧が発生する。また、抵抗 R_2 に流れる電流の値を I' とすると、差動増幅回路14の帰還端子と基準電位のノードとの間には第2の直列回路13と抵抗 R_2 とが直列に接続されているために、差動増幅回路14の帰還端子の電圧は $m V_{BE}' + R_2 I'$ となる。

【0019】差動増幅回路14の入力端子に発生する電圧 V_A と帰還端子に発生する電圧 V_B とは等しいから、次の式が成立する。

$$V_A = V_B = m V_{BE} = m V_{BE}' + R_2 I' \quad \dots 3$$

ここで、抵抗 R_2 に流れる電流 I' が定電流源 I の電流値と等しくなるように抵抗 R_2 の値を設定すると、上記3式から次式が成立する。

【0020】

$$I' = I = (1/R_2) \cdot m (V_{BE} - V_{BE}') \\ = (m/R_2) V_T \ln n \quad \dots 4$$

従って、出力端子12における出力電圧 V_0 は、電圧 V_A (又は V_B)に抵抗 R_1 における電圧降下分を加えたものになるから、その値は次式で与えられる。

【0021】 $V_0 = V_A + R_1 \cdot I$

$$= m V_{BE} + \{ (m \cdot R_1) / R_2 \} \cdot V_T \ln n \\ = m \{ V_{BE} + (R_1 / R_2) \ln n \cdot V_T \} \quad \dots 5$$

上記5式で与えられる出力電圧 V_0 において、電圧 V_{BE} の値は約 $-2 \text{ mV}/^\circ\text{C}$ の負の温度係数を持ち、また、熱起電力 V_T の値は約 $0.085 \text{ mV}/^\circ\text{C}$ の正の温度係数を持つので、 $(R_1 / R_2) \ln n$ の値を適当に選ぶことで、出力電圧 V_0 の温度係数を極小とすることができる。

【0022】すなわち、この実施例回路の場合にも出力電圧 V_0 の温度変動を小さくすることができる。また、図11に示した従来回路と同一の出力電圧 V_0 を得るためには、前記1式と上記5式とを比較して、 $1 + (R_B / R_A) = m$ と設定すれば良く、これにより、温度変動が小さく、かつ十分に高い出力電圧を自由に得ることができる。

【0023】ところで、図11に示した従来回路では、バンドギャップ型定電圧源の出力ノイズが $1 + (R_B / R_A)$ 、すなわち m 倍されるのに比べ、上記実施例では m 個の直列接続された等価ダイオードを用いているために、出力電圧 V_0 に発生するノイズのうちダイオードにより発生するノイズの二乗成分は $v_{no}^2 = m \cdot v_n^2$ (ただし、 v_n は各トランジスタ $Q_{a1} \sim Q_{am}$ それぞれに発生するノイズ)なる関係となり、 $v_{no} = m^{0.5} v_n$ となる。すなわち、図11の従来回路では出力ノイズのうちダイオードにより発生するノイズの値が m に比例していたのに対し、上記実施例回路では $m^{0.5}$ に比例するため、出力ノイズは従来に比べて大幅に低減する。しかも、図12の従来回路のようにフィルタを必要としないので、容量は不要であり、容易に集積回路化を図ることができる。

【0024】また、上記実施例では、直列接続された等価ダイオードによってノイズが加算されるため、ノイズの種類によらずに出力ノイズは常に $m^{0.5}$ に比例したものとなる。このため、フィルタでは低減しにくい低い周波数成分を含む $1/f$ ノイズを低減する効果も得ることができる。

【0025】図2は、上記図1の実施例回路において、第1、第2の直列回路11、13内で直列接続されているトランジスタの数 m を3とし、第2の直列回路13内のトランジスタ Q_{bi} ($i = 1 \sim 3$)のエミッタ面積を第1の直

列回路11内のトランジスタ Q_{ai} のエミッタ面積の4倍、すなわち、前記 n の値を4とし、出力電圧 V_0 として4.92Vを得るようにした場合の具体的な回路構成を示すものである。

【0026】この図2の具体回路において、前記差動増幅回路14は、エミッタが互いに接続されそれぞれのベースに前記電圧 V_A 、 V_B が供給される一対の $n p n$ トランジスタ Q_{21} 、 Q_{22} からなる差動対と、上記差動対の負荷となる一対の $p n p$ トランジスタ Q_{23} 、 Q_{24} からなる電流ミラー回路と、上記両 $p n p$ トランジスタ Q_{23} 、 Q_{24} の各エミッタと電源電位 V_{cc} のノードとの間に接続された抵抗 R_{11} 、 R_{12} と、前記第1の直列回路11と前記抵抗 R_2 の共通接続ノードにベース及びコレクタが接続され、エミッタが前記基準電位 GND のノードに接続された $n p n$ トランジスタ Q_{25} と、上記トランジスタ Q_{25} とベースが共通に接続され、コレクタが上記トランジスタ Q_{21} 、 Q_{22} の共通エミッタに接続され、エミッタが基準電位 GND のノードに接続された $n p n$ トランジスタ Q_{26} とから構成されている。ここで、上記トランジスタ Q_{25} のエミッタ面積はトランジスタ Q_{26} の2倍に設定されており、両トランジスタ Q_{25} 、 Q_{26} は第1及び第2の直列回路11、13に流れる電流の和の電流の $1/2$ の電流を上記差動対に供給する電流ミラー回路を構成している。

【0027】ここで、図2の回路の出力ノイズ電圧 v_{noise} (μV_{rms}) (測定帯域幅3MHz)を測定したところ、図5に示すような値が得られた。前記のように上記実施例回路では、出力ノイズの値が直列接続されたトランジスタの数を m とした場合に $m^{0.5}$ に比例するため、同じ4.92Vの値の出力電圧 V_0 を得るための回路例として図3及び図4に示すような回路及び図11の従来回路における出力ノイズ電圧を測定した結果を図5に合わせて示した。

【0028】図3の回路は m の値が2の場合であり、図2のものと同じ出力電圧値を得るために抵抗 R_1 と第2の直列回路13との間にダイオード接続された $n p n$ トランジスタ Q_{27} が挿入され、さらに前記抵抗 R_2 として図2中の抵抗 R_2 の2倍の値を持つものが用いられている。同様に、図4の回路は m の値が1の場合であり、図2のものと同じ出力電圧値を得るために抵抗 R_1 と第2の直列回路13との間にダイオード接続された2個の $n p n$ トランジスタ Q_{27} 、 Q_{28} が直列に挿入され、さらに前記抵抗 R_2 として図2中の抵抗 R_2 の3倍の値を持つものが用いられている。

【0029】図5に示すように、第1、第2の直列回路11、13内において直列接続されるダイオード接続されたトランジスタの数を m が小さくなるのに伴って出力ノイズ電圧が増加していくことが分かる。また、図11の従来回路では出力ノイズ電圧は300 (μV_{rms})程度にもなっており、上記実施例では出力ノイズ電圧が大幅に低減されていることが分かる。

【0030】図6はこの発明の定電圧回路の第2の実施例の回路図である。この実施例回路では出力ノイズをさらに低減するために、前記図1の実施例回路の差動増幅回路14の出力端子と前記出力用のトランジスタ Q_{11} のベースとの間にロウパスフィルタ15を挿入するようにしたものである。この実施例におけるロウパスフィルタ15は、例えば前記図12の従来回路と同様に抵抗と容量によって構成することができるが、前記のように出力ノイズの発生を少なくすることができるために、抵抗と容量の値は従来よりも小さくすることができる。従って、ロウパスフィルタを設けたとしても集積回路化の妨げにはならない。

【0031】図7はこの発明の定電圧回路の第3の実施例の回路図である。この実施例回路では出力ノイズをさらに低減するために、上記図6の実施例回路のロウパスフィルタ15の代りに積分回路16を用いるようにしたものである。この積分回路16は図示のように、反転アンプ17とこの反転アンプ17の入出力端子間に接続された容量 C_{11} とから構成されている。なお、この実施例の場合、前記電圧 V_A が差動増幅回路14の帰還端子(−)に供給され、電圧 V_B が差動増幅回路14の入力端子(+)に供給されている。

【0032】図8は上記図7の実施例回路の具体的な構成を示すものであり、前記図2の回路のものと同様に第1、第2の直列回路11、13内で直列接続されているトランジスタの数を m とし、第2の直列回路13内のトランジスタ Q_{bi} ($i=1\sim 3$)のエミッタ面積を第1の直列回路11内のトランジスタ Q_{ai} のエミッタ面積の4倍、すなわち、前記 n の値を4とし、出力電圧 V_0 として4.92Vを得るようにした場合のものである。この具体回路では前記反転アンプ17の機能が実質的に差動増幅回路14によって得られており、新たに反転アンプ17を設ける必要はない。そして、差動対を構成するトランジスタ Q_{21} 、 Q_{22} のコレクタ間に前記容量 C_{11} が接続されている。

【0033】図9は上記図8の具体回路において、上記容量 C_{11} の値を変化させた時の出力ノイズ電圧 v_{noise} (μV_{rms}) (測定帯域幅3MHz、出力電圧 $V_0=4.92V$)の変化を示したものである。図から明らかなように、容量 C_{11} の値を増加させていくと出力ノイズは減少していき、20 (pF)程度に設定したときに出力ノイズは十分に小さなものとなる。

【0034】なお、この発明は上記各実施例に限定されるものではなく種々の変形が可能であることはいうまでもない。例えば、上記実施例では第1、第2の直列回路11、13をダイオード接続された $n p n$ トランジスタからなる等価ダイオードを用いて構成する場合について説明したが、これはダイオードそのものを用いるようにしても良く、また $p n p$ トランジスタを用いて第1、第2の直列回路を実現できることはいうまでもなく、その他、

等価ダイオードとして動作するようなものであればどのようなものでも用いることができる。

【0035】

【発明の効果】以上説明したようにこの発明によれば、出力電圧の温度変動が小さく、出力ノイズの低減化を図ることができ、かつ集積回路化に適した定電圧回路を提供することができる。

【図面の簡単な説明】

【図1】この発明の定電圧回路の第1の実施例の回路図。

【図2】図1の実施例回路の具体的な回路構成を示す回路図。

【図3】図2の具体回路と特性を比較するために使用される回路を示す回路図。

【図4】図2の具体回路と特性を比較するために使用される回路を示す回路図。

【図5】図2、図3、図4及び従来回路の出力ノイズを比較して示す図。

【図6】この発明の定電圧回路の第2の実施例の回路

図。

【図7】この発明の定電圧回路の第3の実施例の回路図。

【図8】図7の実施例回路の具体的な構成を示す回路図。

【図9】図8の具体回路の出力ノイズ変化を示す特性図。

【図10】従来のバンドギャップ型定電圧源の回路図。

【図11】図10のバンドギャップ型定電圧源を用いた定電圧回路の回路図。

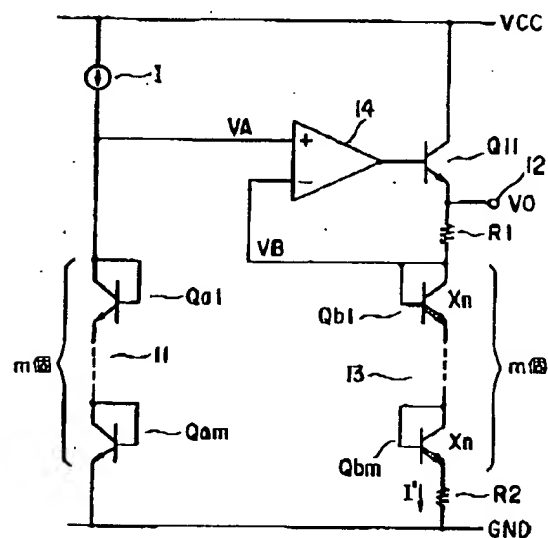
【図12】図10のバンドギャップ型定電圧源を用いた定電圧回路の回路図。

【図13】従来の定電圧回路の回路図。

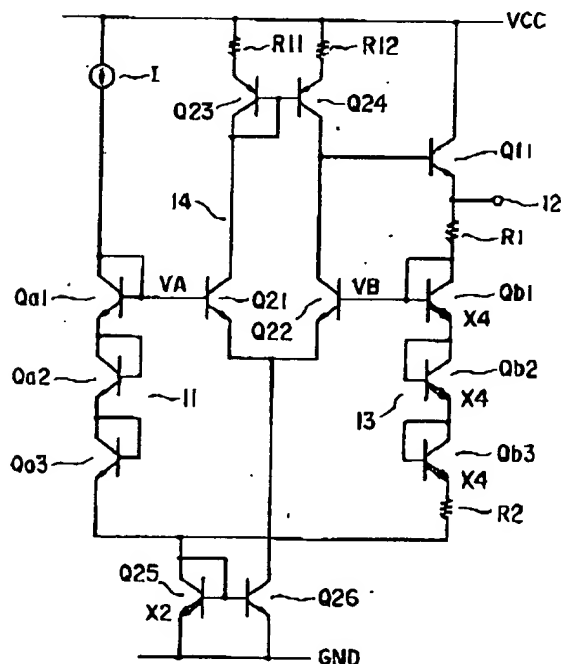
【符号の説明】

I…定電流源、Qa1~Qam、Qb1~Qbm、Q11…npn
トランジスタ、R1、R2…抵抗、I1…第1の直列回
路、I2…出力端子、I3…第2の直列回路、I4…差動増幅
回路、I5…ローパスフィルタ、I6…積分回路、I7…反転ア
ンプ。

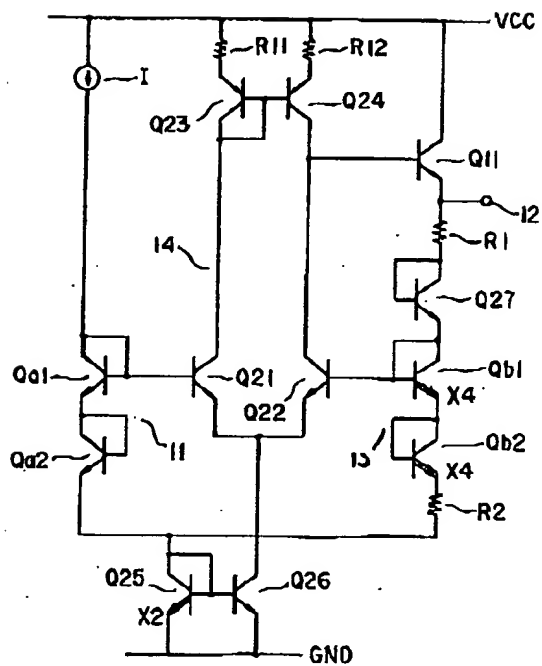
【図1】



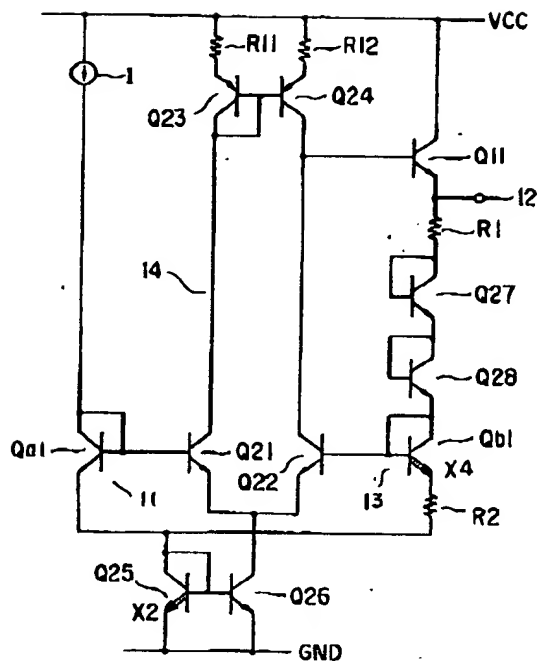
【図2】



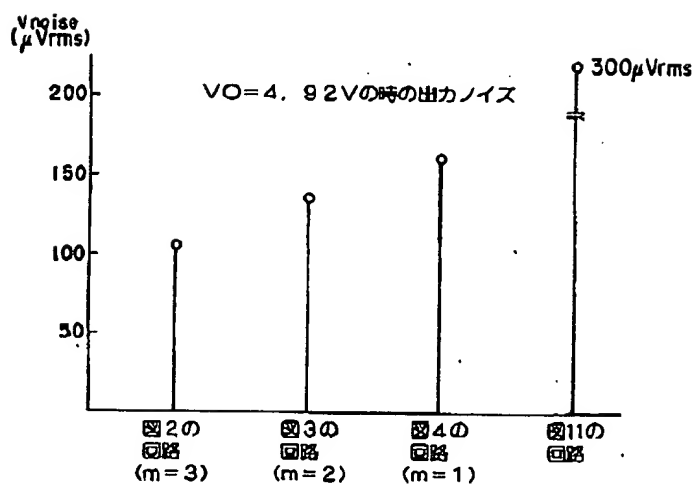
【図3】



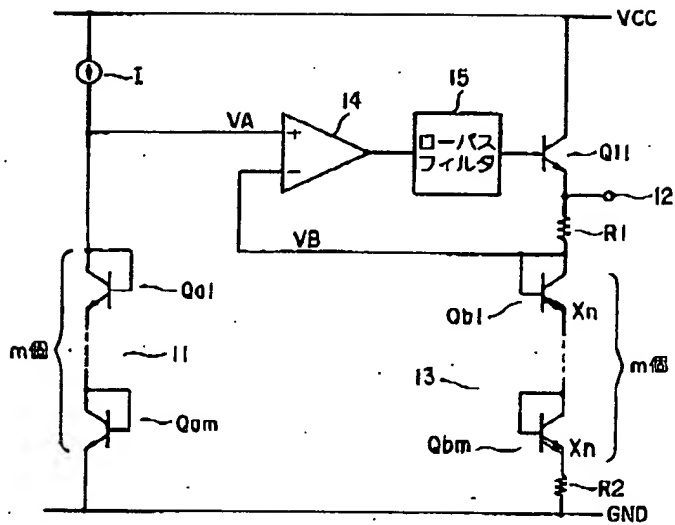
【図4】



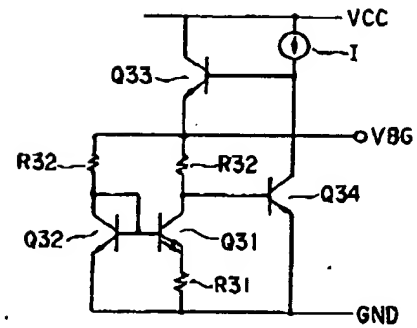
【図5】



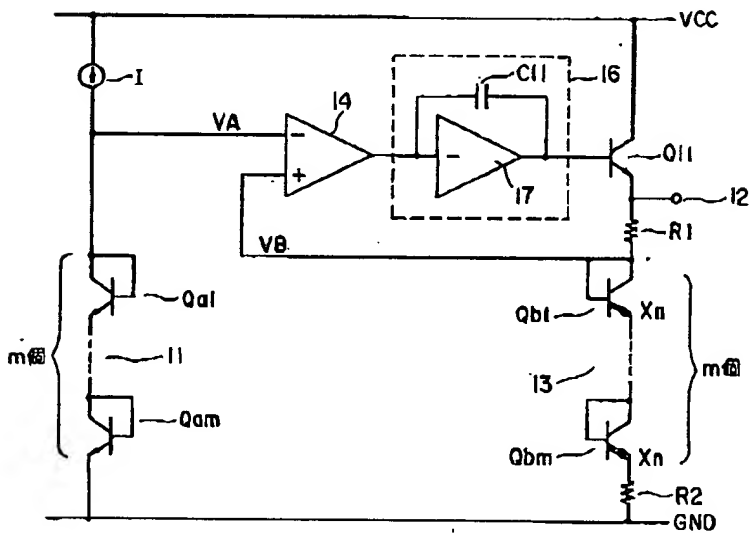
【図6】



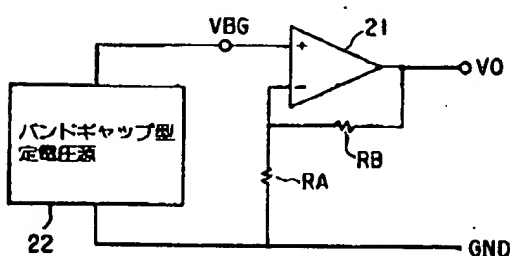
【図10】



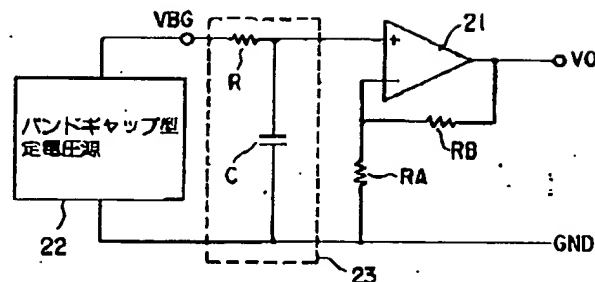
【図7】



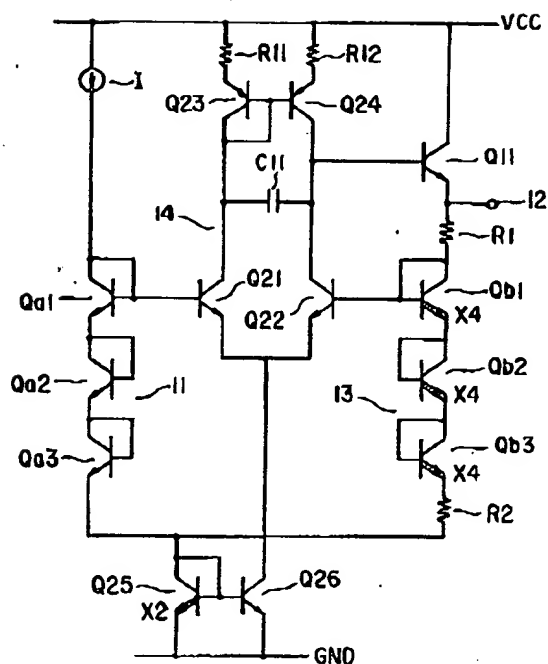
【図11】



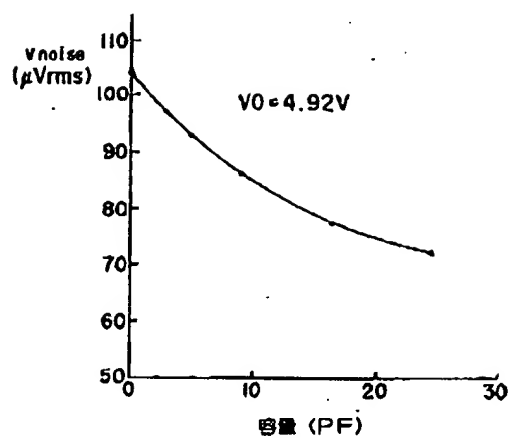
【図12】



【图 8】



【图9】



【图 13】

